

電子・情報工学専攻	学籍番号	961307
申請者氏名	加藤 陶子	

指導教員氏名	石田 誠 澤田 和明
--------	---------------

論文要旨(博士)

論文題目	Si(111)集積回路の高性能化に関する研究 ()
------	-------------------------------

(要旨 1,200字程度)

今日の CMOS(Complementary MOS)回路製作には、界面準位密度(D_{it})が小さな Si 基板の(100)面が用いられている。その一方で、スマートセンサシステムの開発や、MOS(Metal Oxide Semiconductor)デバイスの性能向上のために、近年では(100)面以外への CMOS 回路製作が求められている。(100)面以外を用いるセンサシステムの例として、信号処理回路と VLS(Vapor-Liquid-Solid)成長法によって作製するマルチアレイ Si 電極を 1 チップ上で一体化したスマート神経電位センサがある。この Si 電極は Si <111> にしか垂直に成長しない為、本センサを実現するためには Si(111)基板上への信号処理回路の製作が求められる。しかしながら、 SiO_2 -Si(111)界面の D_{it} は SiO_2 -Si(100)界面の D_{it} よりも一桁程度大きい。この大きな D_{it} の影響による回路特性の劣化が懸念され、Si(111)基板上に集積回路を製作するためにはデバイス構造や回路製作プロセスの改善が必要であると考えられる。本研究では、神経電位センサシステム構築に向けた Si(111)基板上への信号処理回路の製作と、回路の主要部分となる CMOS デバイスの高性能化を目的としている。

まず、スマート神経電位センサシステムに向けた(111)CMOS 神経電位検出回路の設計ならびに製作を行なった。ここで Si(111)基板に顕著に現れる D_{it} や固定電荷の影響を考慮し、(111)CMOS 用にプロセス条件を最適化した。測定の結果、プロセス条件の最適化によって(111)CMOS 回路が神経電位の記録を行なうのに十分な動作速度や動作範囲が得られることが確認できた。その一方で、回路を製作する上で重要な移動度や $1/f$ 雑音は、(100)CMOS デバイスと比べて明らかに劣っており、(111)MOS 界面の改善等の必要性を改めて示した。

次に、信号検出を行なう低周波領域で高い SN 比を得るために、アレイ構造の低雑音読み出し回路を構成するデバイスとして、片側ゲート JFET(Junction FET)を提案した。適切な JFET チャネル形成条件を設定し、本 JFET デバイスを Si(111)基板上に製作及び評価を行なった結果、低周波雑音レベルは生体信号の $10 \mu V$ と比較して $1/1000$ 以下まで低減できた。アドレス選択を行なう n-MOSFET と一体化した結果、数 V 以上の広い帯域で線形の出力特性が得られた。片側ゲート JFET を用いることで、Si(111)基板上に二次元アレイ回路用の低雑音デバイスを製作できることが確認できた。

最後に、Si(111)面に CMOS デバイスが製作されない最も大きな要因である D_{it} に着目し、これを低減することによる(111)CMOS デバイスの特性改善をおこなった。 D_{it} を低減する方法として、回路製作後の長時間 H_2 アニール(4hr)、MOS 界面へのフッ素(F)導入、そしてこの両者を行なうプロセスを提案した。 H_2 アニールではアニール時間を長くするほど(111)MOS 界面の D_{it} は減少し、MOS 特性が改善した。続いて界面への F 導入と長時間 H_2 アニールの両方をおこなったところ、 D_{it} が $1/12$ の $2.74 \times 10^{10} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ に低減した。これらのプロセスを行なわない(111)CMOS デバイスと比べて、電界効果移動度は 70%増大し、 $1/f$ 雑音は $1/2$ 程度に低減できた。このことから、MOS 界面への F 導入と長時間 H_2 アニールの両者を行なうことが、(111)CMOS 回路製作において非常に効果的であることを実証した。

本研究で得られた知見から、Si(111)基板上に高性能な回路を有したスマート神経電位センサシステムの構築が期待できる。また Si(111)基板に限らず、他の Si 基板面方位上に製作した回路の高性能化においても、大きな貢献をするものと考えられる。