

平成9年2月24日

システム情報工学専攻	学籍番号	881310	指導教官氏名	米津 宏雄 教授
申請者氏名	高木 康文			

論文要旨 (博士)

論文題目	Si基板上的III-V族化合物半導体のヘテロエピタキシーにおける結晶欠陥の発生・抑制機構に関する研究
------	--

Si基板上に高品質なIII-V族化合物半導体を成長することは、将来の光電子集積回路(OEIC)の実現のための基盤技術として認識されている。しかし、格子不整合エピタキシーにおいて、材料間の物性定数および結晶構造の違いにより、成長層には高密度の結晶欠陥が発生する。そこで、本研究では、Si基板上のGaAsを中心としたIII-V族化合物半導体の成長における結晶欠陥の発生機構を解明し、その抑制手法をエピタキシャル成長の観点から明らかにすることを目的とした。

最初に、Si基板上のGaAs層の貫通転位密度の低減のための簡便法である、アニールについて検討した。アニール温度が高ければ、転位の運動が促進されて転位同士の反応が促進されるため、貫通転位密度が効果的に低減されると考えられる。そこで、従来行われている温度より高温の950~1050℃でアニールを行った。その結果、GaAs層の貫通転位密度は大幅に低減することが明らかになった。

結晶欠陥密度の低減のためには、発生した欠陥を低減するのではなく、欠陥の発生そのものを抑制することが、より本質的である。そこで、まず、III-V/Si界面の形成過程における結晶欠陥の発生・抑制機構を解明するために、格子不整合率の小さいSi基板上的GaPヘテロエピタキシャル成長(格子不整合率:約0.4%)に着目した。Si基板上的GaPの成長において、格子不整合が小さいにも関わらず、分子線エピタキシー(MBE)法で成長したとき、GaP-Si界面より積層欠陥が発生した。一方、表面拡散促進エピタキシー(MEE)法で成長することで、その発生を抑制できた。そして、格子不整合緩和は、成長層が連続膜になった後、ヘテロ界面へのミスフィット転位の導入によって進行し、貫通転位の発生が抑制できることが明らかになった。

次に、格子不整合の問題を解決するために、多層の $(\text{GaAs})_m(\text{GaP})_n$ 歪短周期超格子(SSPS)層における格子緩和過程を理論をもとに検討した。格子定数を段階的に変化させる多層構造の成長において、下層が完全に緩和してなくても、上層を成長することで下層の格子緩和が促進される。その後、上層の格子緩和は成長膜厚の増加とともに進行することがわかった。また、成長層は2次元的に成長し、ヘテロ界面へのミスフィット転位の導入によって格子不整合が緩和されると、上層での貫通転位の発生はなかった。

以上の得られた知見をもとに、MEE成長によるGaP層、および多層の $(\text{GaAs})_m(\text{GaP})_n$ SSPSを用いて、Si基板上的GaAsおよび $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ 層の貫通転位密度の低減を計った。成長層は、約4%の格子不整合の緩和過程において2次元的に成長した。そして、約4%の格子不整合は、各ヘテロ界面において<011>方向に伝搬するミスフィット転位により段階的に緩和されていた。その結果、GaAsおよび $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ 層の貫通転位密度を大幅に低減することができた。

さらに、これまでの結晶欠陥の低減技術を用いて、実際にSi基板上に $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}/\text{GaAs}$ のダブルヘテロ構造の発光ダイオード(LED)を作製した。そして、電流-光出力特性および発光スペクトルについて、LEDの基本的な特性が得られた。