

専攻	システム情報工学	学籍番号	893420	指導教官氏名	米津 宏雄	
申請者氏名					辻 清孝	朴 康司
						石田 誠

論 文 要 旨

論文題目	アナログLSI技術による不揮発性記憶機能デバイスを用いた自己組織化ニューラルネットワークの研究
------	---

脳の機能を模倣したニューラルネットワークのハードウェアは、現在主流のノイマン型コンピュータでは不可能な柔軟な高次情報処理を実現できると期待されている。

そこで、本研究ではアナログLSI技術を用いて、ニューロチップを実現することを目的とした。

最初に、ニューラルネットワークの基本機能であるシナプス結合をハードウェア化するために、適応デバイスを考案し、その動作を確認した。それを用いたシナプス結合回路の作製および実測を行い、乗算機能、シナプス結合重みの不揮発性記憶機能、乗算動作中での結合重みの変更機能を持つことを確認した。

次に、この適応デバイスを用いてバックプロパゲーション（BP）学習を行う回路について研究した。BP学習では、ニューロンの出力関数としてシグモイド関数が、学習のための誤差信号の計算には出力関数の微分関数が必要となる。そのための回路を考案し、その動作を確認した。また、PWM回路を用いることによってシナプス結合重みの変化量を修正信号に比例させることが可能であることも確認された。これらの回路を用いて構成した3層のBP学習回路の学習シミュレーションを行い、その学習能力を確認した。さらに、一般的なBPアルゴリズムとの比較・検討も行った。

次いで、教師なし学習の一つである競合学習を行うための回路について研究した。競合学習では、WTA（最大値検出）機構と、シナプス結合重みの発散を抑制する機構が必要となる。WTA機構は出力が最大のニューロンを選択する機構であり、電流入力 - 電圧出力型のWTA回路の動作を実験的に確認した。また、シナプス結合重みの発散を抑制するために、シナプス結

合重みの総和を一定に保つシナプス結合回路を考案・作製し、その動作を確認した。これらの回路を用いて4つのニューロンからなる競合学習回路を1チップ上に集積化したニューロチップを作製し、4つの入力パターンの認識を行わせた。その結果、回路は入力パターンを認識するように学習し、自己組織化機能を実現できることが確認された。

次に、学習によってトポロジカルマッピングを形成する回路を実現するための研究を行った。トポロジカルマッピングを形成するための学習アルゴリズムは、発表されているが、そのアルゴリズムをそのままアナログ回路に適用してもマッピングは形成されない。それは、これまでの学習アルゴリズムではアナログ回路が持つ素子特性のばらつきを考慮していないからである。そこで、アナログ回路のための学習アルゴリズムとネットワークモデルを考案した。この学習アルゴリズムの特徴は、ニューロンの出力が、それ自身とその周囲のニューロンの内部電位に荷重を掛けた値の総和として計算されることと、中間層および出力層に冗長ニューロンを持たせることによって、素子特性のばらつきを平均化してその影響を小さくしていることである。

この学習アルゴリズムをハードウェアで実現するための回路として、荷重出力演算回路を考案し、その動作特性をS P I C Eシミュレーションによって確認した。さらに、学習回路の学習シミュレーションを行い、高確率でトポロジカルマッピングが形成されること、平均分類数は冗長ニューロンの数でほぼ決まることを明らかにした。これらより、トポロジカルマッピングを形成することができる回路の実現性を確認した。さらに、このアルゴリズムに基づいて学習を行う回路を作製するために、中間層のニューロンを集積化したチップおよび出力層を集積化したチップのC A Dパターンを設計した。