


豊橋技術科学大学長 殿

平成 5 年 2 月 23 日

審査委員長 中川 聖一 

論文審査及び学力の確認の結果報告書

このことについて、下記の結果を得ましたので報告いたします。

記

学位申請者	菅谷 光啓	報告番号	第 48 号
申請学位	博士 (工学)	専攻名	システム情報工学
論文題目	VLSI 向き相互結合網の並列アルゴリズムと耐故障性埋め込み手法に関する研究		
公開審査会の日	平成 5 年 2 月 23 日		
論文審査の期間	平成 5 年 1 月 27 日～平成 5 年 2 月 23 日	論文審査の結果	合格
学力の確認の日	平成 5 年 2 月 23 日	学力の確認の結果	合格

論文内容の要旨

VLSI技術の進展に伴い、多数の処理要素の相互結合網を一つのチップ上に埋め込むことが可能となり、VLSI並列実装を前提とする並列アルゴリズムに大きな関心が寄せられている。このようなアルゴリズムの開発では、VLSI複雑性による評価、すなわち計算時間などの計算量とともに結合網のVLSIチップへの埋め込み効率をも勘案した総合的評価を行う必要がある。





本論文は、フラクタル幾何学に基づく相互結合網(FIN-1)を計算モデルとして用い、FIN-1上の並列アルゴリズムおよびFIN-1の耐故障性埋め込みについて研究した成果をまとめたもので、全編5章からなる。第1章は序論であり、研究の背景と主要な用語について述べている。第2章では、最大値抽出、ソーティングおよび中央値選択問題のそれぞれについて、FIN-1上での並列アルゴリズムを提案し、それらのVLSI複雑性を面積時間積を用いて評価している。第3章では、結合網中にスイッチング素子を導入することで、通信に要する複雑性を減らすことができ、並列アルゴリズムの計算時間および面積時間積の改善がはかれることを明らかにしている。第4章では、FIN-1の耐故障性を考慮した予備処理要素の埋め込み手法を提案し、冗長な要素数と網の再構成率のトレードオフの関係を面積使用効率を導入して解析している。第5章は結論である。

審査結果の要旨

本論文で対象としている計算モデルFIN-1は、その結合網の形態が自己相似であることが大きな特徴である。著者は、この特徴を生かしたいくつかの並列アルゴリズムを開発し、面積時間積という評価尺度のもとにそれらのVLSI複雑性を明らかにした。また、この解析をもとに、処理要素間の通信遅延がアルゴリズム全体の計算時間上のボトルネックとなることを指摘し、このことを改善するために、各処理要素と通信リンク間にスイッチング素子を付加した新たなFIN-1の構成法を提案した。この方法は、FIN-1とは異なる網形態にも有効であり、優れた着想である。さらに、耐故障性を保障するために、自己相似網の特徴を生かした予備処理要素の再帰的埋め込み手法を提案し、網の再構成率の評価法を確立した。これはVLSI設計に役立つ有用な成果である。以上のように、本論文は、新たなVLSI向き並列アルゴリズムを提案し、その有用性を計算論的に明らかにするとともに、それに関連する種々の新しい知見を与えたもので、情報工学に寄与するところが大きい。

よって、本論文は博士(工学)の学位論文に相当するものと判定した。

審査委員

中川 聖一 
辰巳 昭治  印阿部 健一  印湯浅 太一  印