

平成19年 2月26日

豊橋技術科学大学長 殿

審査委員長 梅村 恭司



論文審査及び最終試験の結果報告書

このことについて、下記の結果を得ましたので報告いたします。

記

| | | | |
|---------|----------------------------|---------|-----------|
| 学位申請者 | 中田 尚 | 学籍番号 | 第003218号 |
| 申請学位 | 博士(工学) | 専攻名 | 電子・情報工学専攻 |
| 論文題目 | マイクロプロセッサシミュレーションの高速化手法の研究 | | |
| 公開審査会の日 | 平成 19 年 2 月 16 日 | | |
| 論文審査の期間 | 平成19年1月24日～平成19年2月26日 | 論文審査の結果 | 合格 |
| 最終試験の日 | 平成 19 年 2 月 26 日 | 最終試験の結果 | 合格 |

論文内容の要旨
 本論文は、マイクロプロセッサの動作を模擬するシミュレータの高速化技術に関するものであり、複雑な命令スケジューリング計算を過去の計算結果の再利用により省略する手法と、ワークロードプログラムに応じて最適化されたシミュレータを生成する手法を論じている。論文は5章から構成されており、第1章で研究の背景・目的を概観した後、第2章ではマイクロプロセッサシミュレーション技術を従来研究の問題点を明らかにしつつ概説している。続く二つの章では研究の成果が論じられており、まず第3章では計算再利用による cycle accurate simulator (CAS) の高速化手法を論じている。この手法の特徴は、ループを実行中のマイクロプロセッサの状態遷移にも局所性が生じやすいことに着目し、ループの繰り返しごとの out-of-order 実行機構の状態遷移表を動的に構築することで、過去に生じた遷移と同じ結果をもたらす計算を省略することにある。次に第4章では、ワークロードプログラムの実行形式を解析し、基本ブロックの命令列をシミュレートするCの関数群からなる、命令レベルシミュレータの中核部を生成する方式について論じている。またこの方式の、キャッシュのシミュレーションや第3章の CAS への適用についても論じている。最後に第5章では、論文の結論を述べるとともに、進行中の関連研究や今後の課題について概観している。

審査結果の要旨
 マイクロプロセッサのシミュレーション速度は、対象プロセッサの実動作速度に比べてはるかに低く、ワークロードプログラムの実行時間は、最も単純な命令レベルシミュレーションでも100倍前後、複雑な命令実行機構を詳細にシミュレートするCASでは1000倍以上にも及ぶ。本論文はこの大きな性能比を改善することを目的としたもので、以下の二つの重要な貢献が述べられている。
 第1の貢献は、計算再利用手法をCASに効果的に適用したことである。命令スケジューリング計算の再利用は以前にも提案されていたが、本論文では適用対象を一定回数以上繰り返されるループに限定して再利用の効果を高める巧妙な手法を案出し、代表的シミュレータである SimpleScalar に対して最大9.7倍もの高速化を達成している。第2の貢献は、対象プロセッサが実行するバイナリプログラムを解析し、個々の命令の動作を基本ブロック単位でシミュレートするC関数を生成する高速化技術である。この方法は、対象プロセッサのバイナリプログラムをシミュレータホストのバイナリプログラムに変換する従来手法に比べて、可搬性や開発・保守の容易性が格段にすぐれているだけでなく、SimpleScalar に対する性能比が最大34倍にも達するなど、性能面でも遜色ない優れたものである。またこれらのシミュレーション技術に関する優れた貢献は、2編の学術論文と2編の国際会議論文にまとめられている。
 以上により、本論文は博士(工学)の学位論文に相当するものと判定した。

審査委員
 梅村恭司 (印) 藤戸敏弘 (印) 廣津 登志夫 (印)
 中島浩 (印) _____ (印) _____ (印)

(注) 論文審査の結果及び最終試験の結果は「合格」又は「不合格」の評語で記入すること。