


平成 9年 2月 26日

豊橋技術科学大学長 殿

審査委員長

吉田 明 

論文審査及び最終試験の結果報告書

このことについて、下記の結果を得ましたので報告いたします。

記

学位申請者	高木 康文	学籍番号	第881310号
申請学位	博士 (工学)	専攻名	システム情報工学専攻
論文題目	Si基板上のⅢ-V族化合物半導体のヘテロエピタキシーにおける結晶欠陥の発生・抑制機構に関する研究		
公開審査会の日	平成 9年 2月 26日		
論文審査の期間	平成 9年 1月 22日～平成 9年 2月 26日	論文審査の結果	合格
最終試験の日	平成 9年 2月 26日	最終試験の結果	合格

論文内容の要旨

本論文は、シリコン(Si)基板上のⅢ-V族半導体のヘテロエピタキシーにおいて発生する、高密度の結晶欠陥の発生機構について、GaAs成長(GaAs-on-Si)を中心にして、初期成長機構との関係を明らかにし、併せて結晶欠陥の発生を抑制する手法を明らかにしたものである。

第1章ではこのヘテロエピタキシーの問題点を明らかにし、第2章では本研究で用いた分子線エピタキシー(MBE)の原理と結晶欠陥の評価方法について述べている。第3章では、従来にない高温でアニールすることにより、エピ層を貫く貫通転位の密度が大幅に減少することを見だし、その減少機構のモデルを提案している。第4章では、Si基板上のGaP成長において、成長初期に三次元成長が生じ、成長島の合体時に積層欠陥が発生することを明らかにしている。また、表面拡散促進エピタキシー(MEE)法を用いるとこの問題が解決することを見だししている。第5章では、 $(\text{GaAs})_m(\text{GaP})_n$ 歪短周期超格子(SSPS)において、格子緩和が段階的に進む過程を理論と実験の両面から明らかにしている。第6章では、このSSPSをGaAs-on-Siに適用することにより、貫通転位密度の発生を大幅に抑制できることを述べている。また、 $\text{In}_x\text{Ga}_{1-x}\text{P-on-Si}$ について、同様の手法を用いて貫通転位の発生を抑制すると共に、熱膨張係数差による歪みも、In組成比 x を制御することによって低減できることを明らかにしている。第7章では、本研究結果を総括している。



審査結果の要旨


SiとGaAsなどのⅢ-V族半導体を高品質な状態で一体化できれば、光電子集積回路などの新たな半導体の基盤技術が築かれる。しかし、GaAs-on-Siに見られるように、一体化するためのヘテロエピタキシーでは、高密度の結晶欠陥が発生する。本研究は、この結晶欠陥の発生過程と初期成長機構との関係を明らかにし、初期成長過程を制御することによって結晶欠陥の発生を抑制することを目指した、本格的な試みである。


そこでは、課題を二つに分けて究明している。第一の課題は、Ⅳ族半導体とⅢ-V族半導体の界面の形成過程で積層欠陥が発生することである。格子不整合率の小さなGaPを用いて、三次元成長島の合体過程で積層欠陥が発生することを明らかにした。これについては、MEE法によって、三次元成長島が平坦に広がり、積層欠陥の発生を抑制できることを見出した。第二の課題は、GaPの上にGaAsを成長するとき、大きな格子不整合率によって成長初期に三次元成長が生じ、高密度の貫通転位が発生することである。これについては、 $(\text{GaAs})_m(\text{GaP})_n$ SSPSによる段階的な格子緩和の過程を明らかにし、二次元成長を維持して貫通転位の発生を抑制できることを明らかにした。上記の結晶欠陥の発生を抑制する手法は、発光素子用結晶材料の $\text{In}_x\text{Ga}_{1-x}\text{P-on-Si}$ にも適用できた。Ⅲ-V族半導体-on-Siにおいて、結晶欠陥の発生機構と普遍性の高い抑制手法を見出した研究成果は、高く評価される。

よって、本論文は博士(工学)の学位に相当すると判断した。

審査委員

吉田 明 
 朴 康 司 

英 貢 
 印

米津 宏 雄 
 印

(注) 論文審査の結果及び最終試験の結果「合格」又は「不合格」の評語で記入すること。