


豊橋技術科学大学長 殿

平成元年 4月 25日

審査委員長 楠 菊信 

論文審査及び最終試験の結果報告書

このことについて、下記の結果を得ましたので報告いたします。

記

学位申請者	前 場 隆 史	学籍番号	第 823426 号
申請学位	工 学 博 士	専攻名	システム情報工学専攻
論文題目	VLSI向きアレイ構造アーキテクチャの設計法に関する研究		
公開審査会の日	平成元年 4 月 12 日		
論文審査の期間	平成元年 3 月 24 日～ 元年 4 月 24 日	論文審査の結果	合格
最終試験の日	平成元年 4 月 12 日	最終試験の結果	合格







論文内容の要旨

本論文は、超大規模集積回路(VLSI)化に適した計算機アーキテクチャとして、演算処理要素(PE)を2次元格子状に配列したアレイ構造に着目し、そのPE間の通信形態と演算処理内容との関連、および単純な機能のPEを1チップ上に多数埋め込むことを考慮したシストリックアレイの系統的設計法について論じている。VLSI化を前提とする計算機の評価には、回路の面積(A)と処理能力を表す計算時間(T)の両者を勘案する必要があり、従来より面積時間積としてATあるいは AT^2 が用いられている。本論文では、この指標のもとに、まず、行列演算やソーティング等の問題群には通信形態として、局所通信で十分であることを理論的に明らかにした。一方、情報検索などでよく用いられる最大(小)値を求める問題やk位選択問題等には大域通信が有効であることを示した。以上の結果をもとに、大域通信、局所通信のそれぞれに有効な問題群の定性的性質を論じた。ついで、シストリックアレイの設計法として、幾何学における正射影の概念を用い、逐次アルゴリズムをシストリックアルゴリズムに変換する効率のよい手法を開発した。その手法を、音声認識におけるパターンマッチング処理問題に適用し、実時間処理が可能なシストリックアレイが設計できることを検証して、その有効性を明らかにした。

審査結果の要旨

本論文は、VLSI向きの並列処理構造を持つ計算機アーキテクチャについて、そのグラフ的構造表現を与え、その上で処理される算法との親和性を理論的に明らかにしている。VLSI化を考慮したアレイ構造アーキテクチャにおいて、限定されたチップ内に演算処理要素(PE)を可能な限り多く埋め込むには、通信を隣接したPE間のみで行う局所構造がよい。そのため、大きな面積を必要とする大域通信構造の導入を避けてきた。これに対し、本論文では、チップ面積とアルゴリズム計算時間を勘案した面積時間積の指標のもとに、情報検索などでよく用いられるいくつかの問題群には大域通信が有効であることを示し、VLSI向き計算機アーキテクチャにおける通信構造の重要性を指摘した。これは興味ある知見である。また、シストリックアレイの設計法としてMoldovan法があるが、この手法は設計手順のあるステップで、変換関数と呼ばれる関数の正則性が保証されず、設計が試行錯誤的にならざるを得ないという欠点があった。本論文では、変換関数の正則性が常に保証でき、しかも極めて少ない手順で設計可能な新手法を提案し、応用の広いシストリックアレイを系統的に導出可能となることを示した。これは重要な成果である。以上のことより、本論文は工学博士の学位論文に相当するものと判定した。

審査委員

楠 菊信  阿部 健一  田所 嘉昭 
 橋 口 政三郎  辰巳 昭治  

(注) 論文審査の結果及び最終試験の結果は「合格」又は「不合格」の評語で記入すること。